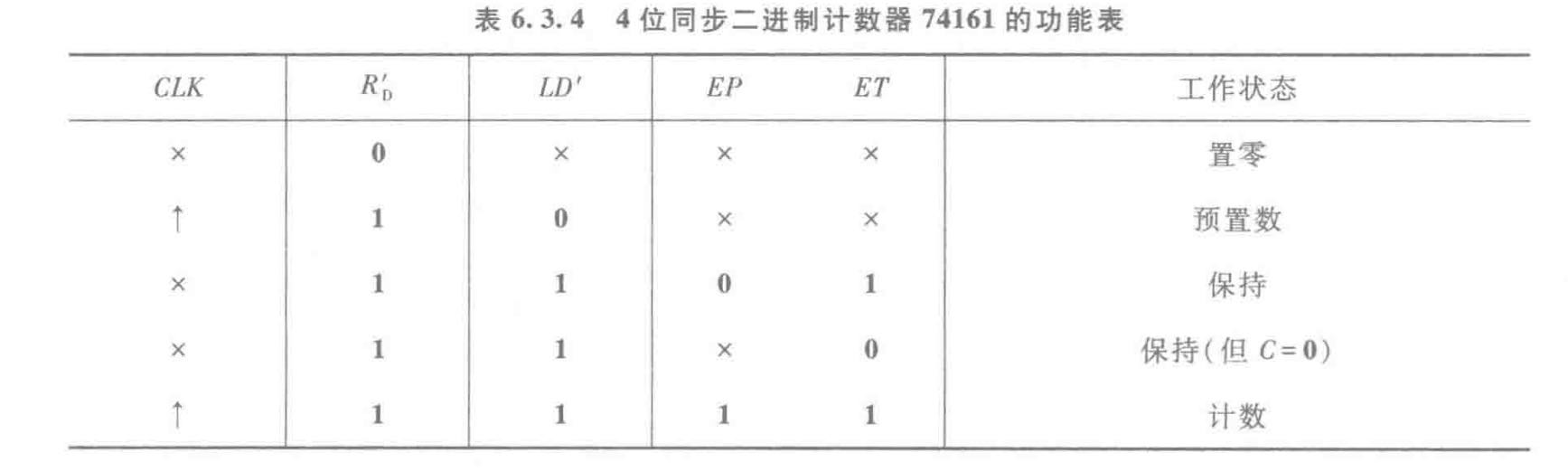
**实验2可编程逻辑器件FPGA应用—任意进制计数器的设计**

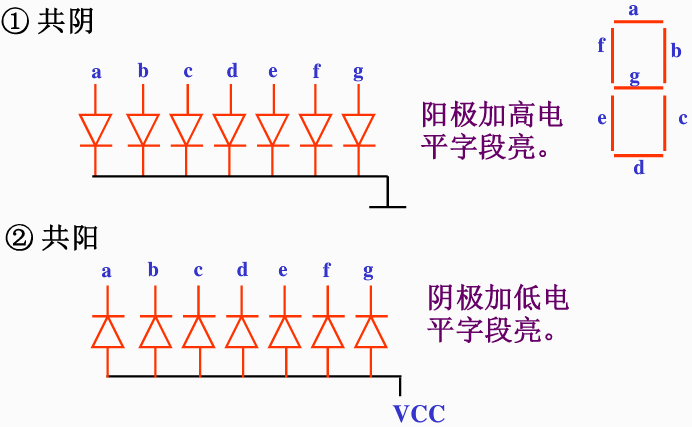
1. **实验目的**
2. 掌握中规模集成计数器的功能及任意进制计数器的设计方法；
3. 熟悉显示译码器和七段数码管的原理及设计应用；
4. 了解用数字可编程逻辑器件实现集成计数译码显示电路的方法；
5. 学会分频器的使用；
6. 熟悉QUARTUS软件的基本使用方法。
7. **实验原理**
8. 计数器74161的功能原理；



74161是一个十六进制加法计数器。清零采用的是异步方式，由功能表第一行可以知道，当复位键置0的时候，无论CLK输入为什么，输出都置0，所以为异步清零。置数采用的是同步方式，只有在CLK为上升沿时，才能预置数，所以为同步置数。74161有数据置入功能。未计数前,将输出QD,QC,QB,QA,置成1000,然后开始计数，就能构成七进制计数器，计数到111时就有脉冲进位信号。

1. 显示译码器和七段数码管的分类；

七段数码管分为共阳极及共阴极，共阳极的七段数码管的正极（或阳极）为八个发光二极管的共有正极，其他接点为独立发光二极管的负极（或阴极），使用者只需把正极接电，不同的负极接地就能控制七段数码管显示不同的数字。共阴极的七段数码管与共阳极的只是接驳方法相反而已。



显示译码：包括驱动液晶显示器(LCD)、发光二极管(led)、荧光数码管等。半导体数码管和液晶显示器都可以用TTL或CMOS集成电路直接驱动。为此就需要使用显示译码器将BCD代码译成所需要的驱动信号，以便使数码管用十进制数字显示出BCD代码所表示的数值。常用的BCD-七段显示译码器有7447、7448等等。

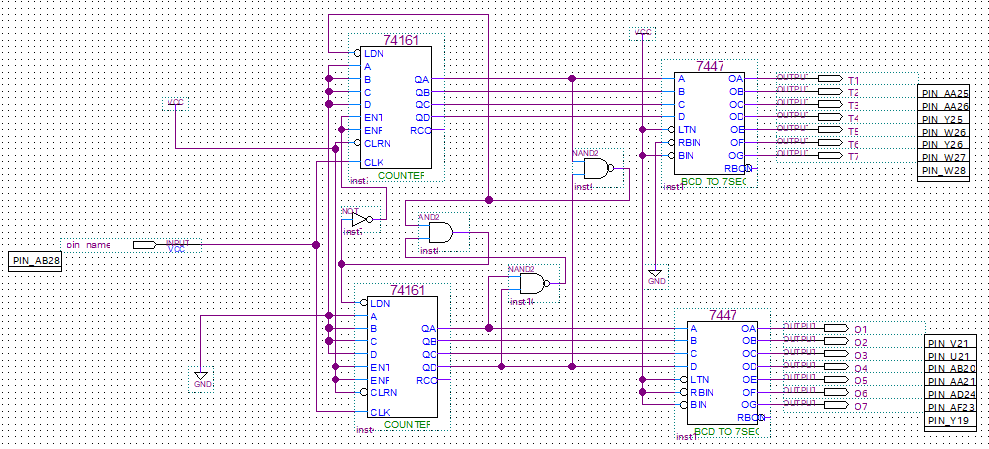
1. 分频器的功能原理；

所谓“分频”，就是把输入信号的频率变成成倍数地低于输入频率的输出信号。它的原理是：把输入的信号作为计数脉冲，由于计数器的输出端口是按一定规律输出脉冲的，所以对不同的端口输出的信号脉冲，就可以看作是对输入信号的“分频”。至于分频频率是怎样的，由选用的计数器所决定。如果是十进制的计数器那就是十分频，如果是二进制的计数器那就是二分频，还有四进制、八进制、十六进制等等。以此类推。

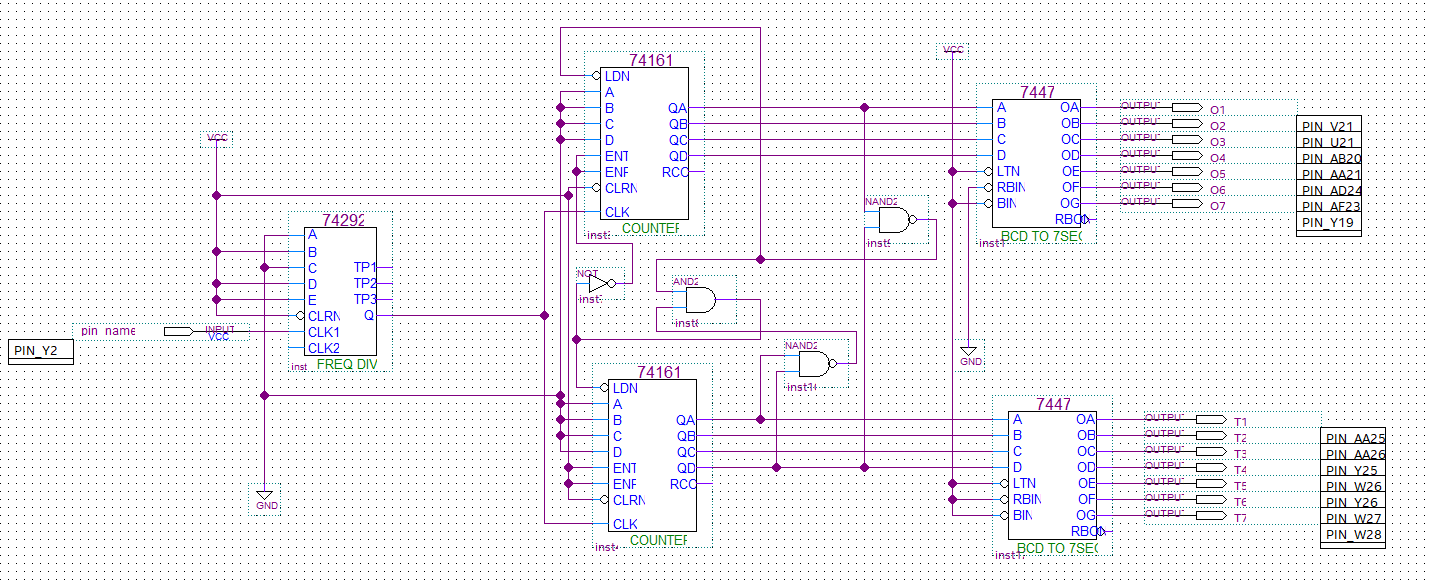
1. **实验内容**

用74161设计一个十九进制的计数器，要求计数的状态用实验板上的两个数码管显示，数码管的状态显示顺序为0、1、2……16、17、18、0、1、……（注意计数时钟频率的合理选择）。

1. 原理图；

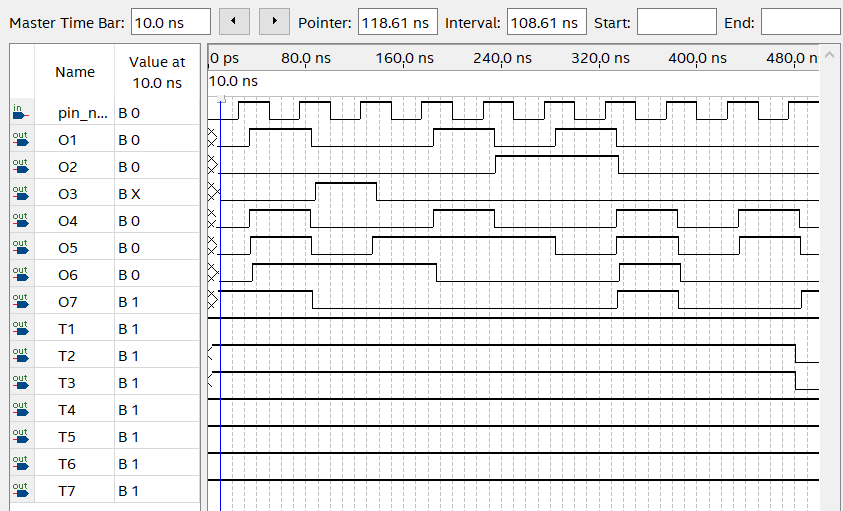


由19进制大于74161的最大进制数16进制，所以计数器的设计方法有串行进位法、并行进位法、整体置零法、整体置数法等。这里我选用了并行进位法，下面的74161计数范围为0000-1001，上面的74161计数范围为0000-0001，所以总的计数范围为9\*2=18。刚开始时，下方计数器处于计数状态，上面的计数器处于停止工作的状态，当下面的计数器计数到1001（即9）通过与非门和非门控制下面的的计数器处于预置数状态，上面的计数器处于计数状态。当上面的计数器跳变到0001时，下面的计数器已被置数为0，并处于计数状态，上面的计数器处于保持0001状态。当下面的计数器再次计数到1001，通过与非门使上下方计数器均处于预置数状态，即到达18后下一位数即跳变为0。所以下方计数器和个位译码器连接，上方计数器和十位译码器连接。



在把程序烧录到DE2上的时候，输入信号可以设置为DE2的CLK时钟信号，但是由于该时钟信号的频率过高，需要把该信号进行分频，这里选用了74292作为分频器。

（2）时序仿真波形。



1. **实验总结**
2. 实验故障及解决方法；

实验过程中会遇到很多问题，比如刚开始的时候没有考虑到满18后如何处理，经过烧录调试后才发现问题，然后又要回去思考解决方法。最后通过一个与非门实现了置0，再次烧录调试，解决了问题。

1. 实验体会。

实验过程需要有严密的逻辑，需要考虑各种不同的情况，不然很容易出现错误。实验过程需要有耐心，出现问题后要一步步思考，一步步调试，解决问题。分配引脚要细心，我一开始就把个位和十位的译码器接反了，又要重新分配引脚。

1. **思考题**
2. 七段数码管分为共阴极和共阳极两类，本实验用的是哪一类？对两种数码管，各应选用何种型号的译码器？

本次实验用的是共阳极七段数码显示管，可以从仿真看到为低电平字段亮。CD4511、7448七段显示译码器输出高电平有效，用以驱动共阴极显示器。7447七段显示译码器输出低电平有效，用以驱动共阳极显示器。

1. 在应用集成计数器设计任意大容量计数器时，常采用哪两种方法？各有何特点？

常采用整体置零法和整体置数法。

置零法：取 Q(N+1) 的输出做置零信号，直接复位计数器，Q输出归零的时间滞后于

(N+1) 的时钟前沿，这种方式浪费了同步计数器的优点，是异步计数器的用法。

置数法：预置输入先置O，取Q(N)的输出做置数信号，在 (N+1) 的时钟前沿Q输出同步

归零，这是完全同步计数，是同步计数器的正确用法。

比较两种方法可知，设计N进制计数器时，清零法的反馈信号是 (N+1), 控制端是置

零CR'；置数法的反馈信号是N，控制端是置数 LD′。